

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250742

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 B
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
			H 0 1 L 29/78	6 1 7 U

審査請求 未請求 請求項の数 1 O L (全 5 頁)

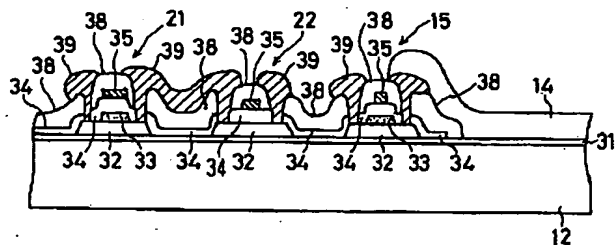
(21) 出願番号	特願平7-54041	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成7年(1995)3月14日	(72) 発明者	後藤 康正 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(72) 発明者	石田 有親 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(72) 発明者	川久 慶人 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(74) 代理人	弁理士 大胡 典夫

(54) 【発明の名称】 半導体装置

(57) 【要約】

【構成】 同一絶縁基板12上に、ゲート絶縁膜膜厚が異なる2種類以上の多結晶シリコン薄膜電界効果トランジスタ(TFT)15、21、22を配置する。例えばn型TFT15、21のゲート絶縁膜33、34と膜厚とp型TFT22のゲート絶縁膜34膜厚を異ならせた、例えばスイッチングTFT、CMOS回路TFTを有する液晶表示装置用アクティブマトリクス基板を構成する。

【効果】 同一絶縁基板に、ゲート絶縁膜膜厚が異なる2種類以上の多結晶TFTを配置することにより、各TFTにおける移動度を低下させることなく、しきい値を制御することが可能になり、最適な回路構成を得ることができる。



【特許請求の範囲】

【請求項1】 同一絶縁基板上に、ゲート絶縁膜膜厚が異なる2種類以上の多結晶半導体薄膜電界効果トランジスタを具備していることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は多結晶半導体薄膜電界効果トランジスタを備えた半導体装置に関する。

【0002】

【従来の技術】 近年、多結晶薄膜電界効果トランジスタ（以下、 $p-SiTFT$ と略記）は、液晶表示装置、密着センサ等に実用化されるようになり、さらに開発が活発に進められている。

【0003】 また、特に液晶表示装置においては、その画像表示の画素部分のスイッチング用 TFT と、同一基板の画像表示周辺上に画素を駆動するために周辺駆動回路系（いわゆるLCDドライバー；液晶駆動回路）とを TFT により作り込んだ構成の駆動回路一体型液晶表示装置が開発されてきている。上述の $p-SiTFT$ は、特にこの分野に好適の技術として注目されている。

【0004】 ところで、この $p-SiTFT$ を駆動回路に用いるに際しての課題の1つに、しきい値電圧の制御がある。これは、しきい値電圧が極端に高い場合駆動電圧を上げる必要が生じ、また、しきい値電圧が極端に低い場合消費電力が大きくなってしまいうためである。このようなしきい値電圧をもつ TFT では、駆動回路を十分に駆動させることができない。

【0005】 このような $p-SiTFT$ のしきい値電圧制御の対策としては、既に知られた技術として、チャネルドーピング法がある。これは、 TFT のチャネル領域にキャリアとなり得る不純物を注入することにより、しきい値電圧を制御しようとするものである。例えば、 n 型 TFT では、チャネル領域にリンを注入することによりしきい値電圧を正方向に、ボロンを注入することによりしきい値電圧を負方向にシフトすることができる。

【0006】 しかしながら、チャネルドーピングによるしきい値制御では、キャリアが移動するチャネル領域に不純物が注入されているので、キャリアを拡散してしまい移動度が低下するという問題がある。

【0007】

【発明が解決しようとする課題】 上述のように、従来の $p-SiTFT$ では所望のしきい値電圧にしなければ、駆動回路を充分有効に駆動されないという問題があった。

【0008】 また、しきい値を制御したチャネルドーピング $p-SiTFT$ では、しきい値制御を行っていない TFT に比べて、移動度が低下するという問題があった。

【0009】 本発明は、上記問題を考慮してなされ、 $p-SiTFT$ の移動度を低下させることなく、しきい値電圧の制御を行う半導体装置を提供することにある。

【0010】

【課題を解決するための手段】 本発明は、同一絶縁基板上に、ゲート絶縁膜膜厚が異なる2種類以上の多結晶半導体薄膜電界効果トランジスタを具備していることを特徴とする半導体装置を得るものである。

【0011】

【作用】 本発明の半導体装置は、液晶表示装置のアクティブマトリクス基板に用いると好適である。

【0012】 本発明は液晶層を挟持する一対の基板の一方を構成するアクティブマトリクス基板上に、ゲート絶縁膜膜厚が異なる例えばポリシリコンの半導体薄膜電界効果トランジスタ（ TFT ）を、スイッチング TFT と駆動用の TFT に用いる。すなわち、駆動用回路は、例えば図4に示すような $C-MOS$ 回路20の組み合わせであり、画素ごとにマトリクス配列したスイッチング TFT と同じ基板に、 TFT による回路を形成する。

【0013】 この $C-MOS$ 回路の特性を制御するため、 $C-MOS$ を構成する n 型、 p 型 TFT においてゲート絶縁膜膜厚を異ならせて、しきい値を制御する。さらに、片方の TFT の酸化膜を積層構造にすることにより、膜の界面数を変えて、固定電荷密度を異ならせると、 TFT のしきい値電圧は固定電荷密度に依存することから、各々の TFT の固定電荷密度を制御することにより TFT のしきい値をさらに容易に制御することが可能になる。

【0014】

【実施例】 以下、実施例を示し、本発明を詳細に説明する。

【0015】 図1乃至図4は本発明の一実施例を液晶表示装置に適用したもので、図1において、ガラス板でできた透明な絶縁性の観察側基板11の一面にITO（インジウム錫酸化物）の導電膜でできた透明共通電極13が被着され、この観察側基板11に対して所定の間隙で対向するガラス基板の透明な絶縁性の対向基板12の対向面に各画素ごとにマトリクス配列されたITOの画素電極14と各画素電極に接続されたスイッチング TFT 15、配線層16が配置される。この配線層として図4に示すように、ゲート線18、データ線19および図示しない蓄積容量線がある。これら基板11、12の間隙には液晶層17が基板間に挟持されるように充填封入される。

【0016】 液晶駆動時は、透明共通電極13は接地され、画素電極14に各付属するスイッチング TFT 15を介して選択的に電圧が印加される。

【0017】 図4は駆動回路の一部としてゲート線18の始端に接続された $C-MOS$ 回路20および各画素のスイッチング TFT 15、15…をマトリクス配列のゲート線18、データ線19とともに示している。

【0018】 $C-MOS$ 回路20は n 型 $p-SiTFT$ 21と p 型 $p-SiTFT$ 22とからなるバッファ回路を

形成しており、また、スイッチングTFT15はn型p-SiTFTからなる。ここで符号171は各画素領域の液晶層であり、符号23は蓄積容量線を含む各画素ごとの容量を示す。スイッチングTFT15のスイッチングにより、画素単位で液晶層の液晶分子配列が制御され、透過する光に対して光スイッチまたは光バルブとして働く。

【0019】図2および図3は図1および図4に示す液晶表示装置のアクティブマトリクス基板すなわち対向基板12上に形成されるp-SiTFT構造を示している。なお、図に付した符号を図5で説明する各部分に対応して合わせている。各p-SiTFTにおいて、基板12上でn型p-SiTFT21とp型p-SiTFT22が相互接続されてCMOS回路を形成しており、さらに、スイッチングTFTとしてn型p-SiTFT15が同一基板12上においてITO画素電極14に接続されている。

【0020】n型p-SiTFT21はゲート絶縁膜が第1のゲート絶縁膜33と第2のゲート絶縁膜34からなり、一方、p型p-SiTFT22はゲート絶縁膜が第2のゲート絶縁膜34のみからなる。n型p-SiTFT15、22のゲート絶縁膜は膜33と34の膜厚の加算となるので、p型p-SiTFT21のそれよりも厚い。すなわち、n型とp型とでゲート絶縁膜の膜厚を異ならせて、TFTのしきい値電圧を独立に制御し、スイッチングTFT、CMOS回路として組み合わせたとときに良好な回路特性を設計することができる。

【0021】さらに、2層のゲート絶縁膜の積層により、膜間の界面を増加させる結果、固定電荷密度を容易に異ならせることができ、さらに一層、TFTのしきい値電圧の設定幅を大きく制御可能である。

【0022】さらに、図3に示すように複数層のゲート絶縁膜の形成の利点の一つは、i型ポリシリコン膜にドーピングする不純物を電極、ゲート絶縁膜厚の変化で制御してTFTの特性を改善できることである。図はLDD (Lightly Doped Drain) 構造のn型TFTを示しており、第1のゲート絶縁膜33、第2のゲート絶縁膜34およびゲート電極膜35の積層構造をマスクとして、後述するように、例えばn型不純物であるリンをイオン注入すると、ゲート電極膜35下は注入がなく、iのチャンネル領域となり、第1と第2のゲート絶縁膜下はn⁻領域となり、第2の絶縁膜34のみの部分はn⁺領域となる。すなわち、ゲート電極35の幅よりも外側にn⁻領域が存在するTFTとなり、電圧特性が改善される。

【0023】さらに、ゲート絶縁膜の各層の膜厚の調節によりn⁻領域の部分をi領域のままに残すオフセット構造とすることができるなど、p-SiTFTの特性制御をさらに容易にする。

【0024】図5は、本実施例に係る液晶表示装置用アクティブマトリクス基板の製造プロセスを示す。

【0025】工程(a)：例えばガラス基板等の透光性基板12上にプラズマCVD法により、SiO₂等からなるパッファ層31を形成する。更に、プラズマCVD法などにより500Å (オングストローム) のアモルファスシリコン膜を被着し、エキシマレーザアニール法によりポリシリコン(p-Si)とした後に、フォトリソグラフィおよびエッチングによりp-Siパターン32を形成する。

【0026】工程(b)：次いで、プラズマCVD (PECVD) 法等によりSiO₂からなる第1のゲート絶縁膜33を300Å~400Å厚に形成する。

【0027】工程(c)：フォトリソグラフィおよびエッチングによりゲート電極膜33のパターンを形成する。このとき、画素部TFT15において第1の絶縁膜のパターン33はLDD (Lightly Doped Drain) あるいは、オフセット構造をとるためのマスクとなっている。

【0028】本実施例では、LDD構造を製造するプロセスを以下に述べる。

【0029】工程(d)：ECRプラズマCVD法により、例えばSiO₂からなる第2のゲート絶縁膜34を700Å被着する。このとき、n型TFT15、21とp型TFT22では、ゲート絶縁膜厚、およびゲート絶縁膜とp-Siとの界面数が異なっている。すなわち、p型TFT22では第2のゲート絶縁膜34のみであり、n型TFT15、21ではこれに第1のゲート絶縁膜33が付加される。

【0030】工程(e)：この第2のゲート絶縁膜34上にスパッタリング法により、Cr、MoTa等の金属膜を被着し、リソグラフィおよびエッチングにより、パターンニングしてゲート電極35を形成する。

【0031】工程(f)：その後、p型TFT22だけ、レジスト、感光性ポリイミド等で保護膜36を形成し、n型TFT15、21にゲート電極35をマスクとして自己整合的にリンを注入して、n型TFTのソース・ドレイン部を形成する。このとき、スイッチングTFT15のソース・ドレイン部は図3に示すように、リンの高濃度注入(n⁺)領域と低濃度注入(n⁻)領域が自動的に形成される。

【0032】工程(g)：マスクをエッチングし、今度はp型TFT22だけ、レジスト、感光性ポリイミド等で保護膜37を形成し、p型TFTにゲート電極をマスクとして自己整合的にリンを注入して、p型TFTのソース・ドレイン部(p⁺領域)を形成する。

【0033】工程(h)：その後、マスクをエッチングして、PECVD法によりSiO₂を層間絶縁膜38として被着し、レーザアニール法により、ソース・ドレインの活性化を行う。

【0034】工程(i)：フォトリソグラフィおよびエッチングによりコンタクトホールを開孔し、スパ

10

20

30

40

50

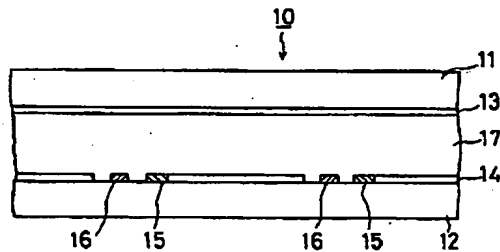
ットリング法等によりAl等金属膜を被着後、フォトリソグラフィおよび、エッチングによりソース・ドレイン電極39を形成し、その後、ITO膜14を被着し、画素電極のパターンとしてアクティブマトリクス基板が完成する。

【0035】なお、本発明は、上述の実施例に限られることなく、例えば、第2のゲート絶縁膜を SiN_x とするように、第1のゲート絶縁膜と第2のゲート絶縁膜のゲート絶縁膜の材質を変えても良い。また、p型、n型TFTのゲート絶縁膜膜厚を変えるのみならず、液晶表示画素部TFTと駆動部TFTのゲート絶縁膜膜厚を変えることにより駆動部TFTと画素部TFTのしきい値電圧を異ならすことにも用いることができる。また、画素部TFTにおいて、プラズマの加速電圧、ゲート絶縁膜膜厚を変えることにより、オフセット型TFTも作製することができる。

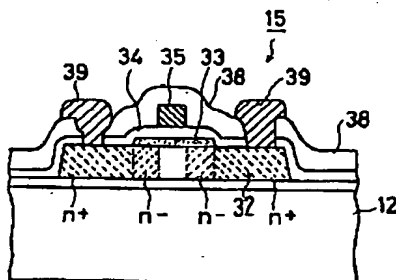
【0036】

【発明の効果】以上の述べたように、本発明の構造の半導体装置では、ゲート絶縁膜を積層数の違いにより、ゲート絶縁膜膜厚を異にするため、固定電荷密度が異なるTFTを製造することができ、移動度を低下させることなくTFTのしきい値を制御することが可能になる。

【図1】



【図3】



【図面の簡単な説明】

【図1】本発明の一実施例の液晶表示装置の概略断面図。

【図2】図1のTFTの要部を示す断面図。

【図3】図2のさらに要部を拡大して示す断面図。

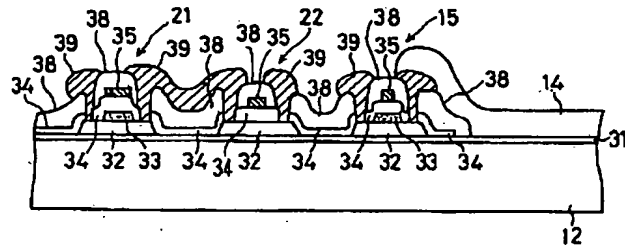
【図4】本発明の一実施例のアクティブマトリクス基板に形成する回路を示す回路略図。

【図5】本発明の実施例の製造工程を説明する断面図。

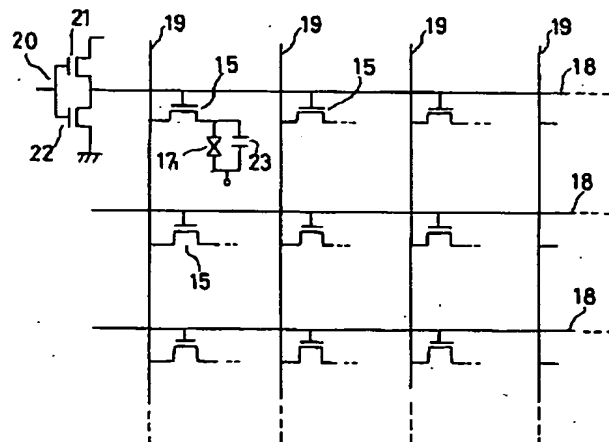
【符号の説明】

- 10 11、12…基板
- 13…透明共通基板
- 14…画素電極
- 15…スイッチングTFT
- 16…配線層
- 17…液晶層
- 20…CMOS回路
- 21…n型p-SiTFT
- 22…p型p-SiTFT
- 33…第1のゲート絶縁膜
- 34…第2のゲート絶縁膜
- 35…ゲート電極
- 39…ソース・ドレイン電極

【図2】



【図4】



【図5】

